

# LIQUID CRYSTAL DISPLAY ELEMENT

Publication number: JP2003222899

Publication date: 2003-08-08

Inventor: MIYASHITA TAKASHI

Applicant: CASIO COMPUTER CO LTD

Classification:

- international: G02F1/1339; G02F1/1345; H01L21/28; H01L29/786;  
G02F1/13; H01L21/02; H01L29/66; (IPC1-7):  
G02F1/1345; G02F1/1339; H01L21/28; H01L29/786

- european:

Application number: JP20020024172 20020131

Priority number(s): JP20020024172 20020131

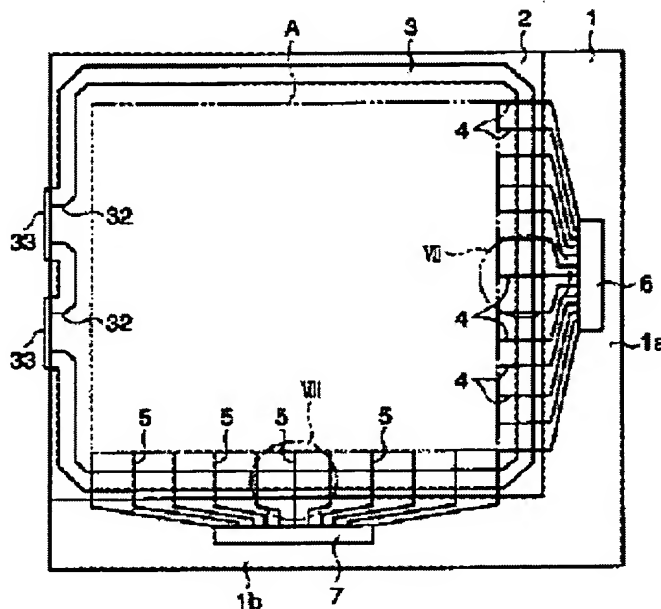
Report a data error here

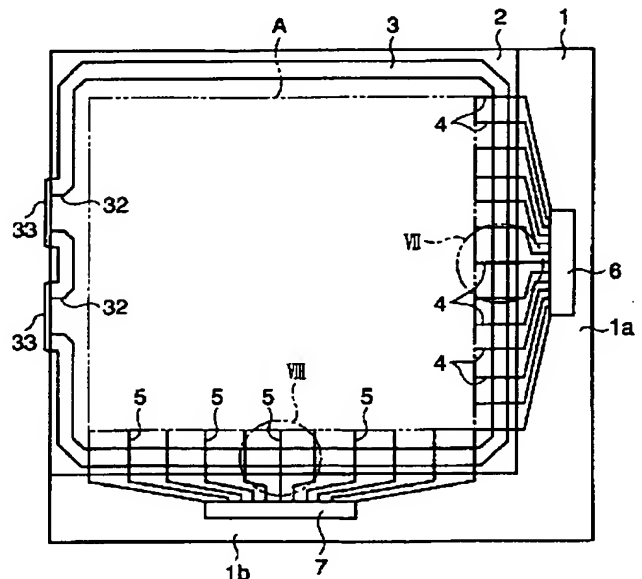
## Abstract of JP2003222899

**PROBLEM TO BE SOLVED:** To make it possible to manufacture with a good yield liquid crystal display elements capable of increasing a response speed by preventing a sealing material runout caused by leakage of the sealing material in bonding a pair of substrates with the sealing material, thereby decreasing the liquid crystal layer thickness.

**SOLUTION:** In a liquid crystal display element, a plurality of gate wiring patterns 4 for supplying gate signals and a plurality of drain wiring patterns 5 for supplying data signals to thin film transistors are provided on the inner surface of one substrate 1, and the end parts of each end side of each gate wiring pattern 4 and each drain wiring pattern 5 pass through the sealing material 3 and are lead from the inside of the sealing material 3 to the outside. The end parts of the gate wiring pattern 4 and the drain wiring pattern 5 are arranged almost at the same pitch as the pixel pitch in the display area A and pass through the sealing material 3, and the terminal parts after they have come through are reduced in width so as to be arranged at a pitch narrower than the pixel pitch.

COPYRIGHT: (C)2003,JPO





**【特許請求の範囲】**

【請求項 1】表示エリアを囲む枠状のシール材を介して接合され、前記シール材により囲まれた領域に設けられた液晶層を挟んで互いに対向する一対の基板を備え、その一方の基板の内面に、前記表示エリア内にマトリックス状に配列形成された複数の画素電極と、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、前記各ゲート配線および前記各ドレイン配線のそれぞれの端部が前記シール材を通り抜けてシール材の内側から外部に導出されている液晶表示素子において、前記ゲート配線および前記ドレイン配線のうちの少なくとも膜厚の厚い一方の配線の端部は、表示エリアの画素ピッチとほぼ同じピッチで配列してシール材を通り抜け、その通り抜け後の端末部が画素ピッチより狭いピッチで配列するように絞られていることを特徴とする液晶表示素子。

【請求項 2】表示エリアを囲む枠状のシール材を介して接合され、前記シール材により囲まれた領域に設けられた液晶層を挟んで互いに対向する一対の基板を備え、その一方の基板の内面に、前記表示エリア内にマトリックス状に配列形成された複数の画素電極と、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、前記各ゲート配線および前記各ドレイン配線のそれぞれの端部が前記シール材を通り抜けてシール材の内側から外部に導出されている液晶表示素子において、前記ゲート配線および前記ドレイン配線のうちの少なくとも一方の配線の端部は、表示エリアの画素ピッチより狭いピッチで配列するとともに、そのすべてがシール材の長手方向に対して傾斜する状態でシール材を通り抜けてシール材の外側に導出されていることを特徴とする液晶表示素子。

【請求項 3】表示エリアを囲む枠状のシール材を介して接合され、前記シール材により囲まれた領域に設けられた液晶層を挟んで互いに対向する一対の基板を備え、その一方の基板の内面に、前記表示エリア内にマトリックス状に配列形成された複数の画素電極と、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、前記各ゲート配線および前記各ドレイン配線のそれぞれの端部が前記シール材を通り抜けてシール材の内側から外部に導出されている液晶表示素子において、前記ゲート配線および前記ドレイン配線のうちの少なく

とも一方の配線の端部が通り抜ける部分のシール材の両側にシール材の厚さ方向に盛り上がる堰止め部がそのシール材の長手方向に沿って設けられていることを特徴とする液晶表示素子。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】この発明は、薄膜トランジスタ（以下、TFTと記す）を能動素子とするアクティブマトリックス型の液晶表示素子に関する。

**【0002】**

【従来の技術】TFTを能動素子とするアクティブマトリックス型の液晶表示素子は、表示エリアを囲む枠状のシール材を介して接合され、前記シール材により囲まれた領域に設けられた液晶層を挟んで互いに対向する一対の基板を備え、その一方の基板の内面に、前記表示エリア内にマトリックス状に配列形成された複数の画素電極と、前記複数の画素電極にそれぞれ接続された複数のTFTと、前記複数のTFTにゲート信号を供給する複数のゲート配線と、前記複数のTFTにデータ信号を供給する複数のドレイン配線が設けられ、他方の基板の内面に、前記複数の画素電極と対向する対向電極が設けられている。

【0003】図12にはこの種の液晶表示素子の構成を示してあり、この液晶表示素子は一対の透明基板1、2を備え、これら透明基板1、2は表示エリアAを囲む枠状のシール材3を介して互いに接合され、シール材3により囲まれた領域内に設けられた液晶層（図示せず）を挟んで互いに対向している。

【0004】そして一対の透明基板1、2のうちの一方の基板1の内面に、前記表示エリアA内にマトリックス状に配列形成された複数の画素電極（図示せず）と、その各画素電極にそれぞれ接続された複数のTFT（図示せず）と、その各TFTにゲート信号を供給する複数のゲート配線4と、前記各TFTにデータ信号を供給する複数のドレイン配線5が設けられ、他方の基板2の内面に、前記各画素電極と対向する対向電極（図示せず）が設けられている。

【0005】一方の透明基板1は、左右側の一方の縁部と上下側の一方の縁部にそれぞれ他方の透明基板2の外側に張出すドライバ搭載部1a、1bを有しており、その一方のドライバ搭載部1aにゲート信号供給用のゲートドライバ6が搭載され、他方のドライバ搭載部1bにデータ信号供給用のドレインドライバ7が搭載されている。

【0006】そして前記各ゲート配線4の一端側の端部がドライバ搭載部1aに導出されてゲートドライバ6の各端子に接続され、前記各ドレイン配線5の一端側の端部がドライバ搭載部1bに導出されてデータドライバ7の各端子に接続されている。

【0007】各ゲート配線4の配列ピッチは、表示エリ

アA内では画素ピッチと同じ大きな幅となっているが、ゲートドライバ6の端子ピッチが画素ピッチより小さいからゲート配線4の端部はその配列ピッチがゲートドライバ6の端子ピッチの幅まで狭まるように斜めに折り曲げられた状態でシール材3の内側から外側に導出されている。

【0008】また、各ドレイン配線5の配列ピッチも、表示エリアA内では画素ピッチと同じ大きな幅となっているが、ドレインドライバ7の端子ピッチが画素ピッチより小さいから、ドレイン配線5の端部はその配列ピッチがドレインドライバ7の端子ピッチの幅まで狭まるように斜めに折り曲げられた状態でシール材3の内側から外側に導出されている。

【0009】ところで、TN（ツイステッドネマティック）型の液晶表示素子の液晶層厚（画素電極と対向電極とが互いに対向する画素部の液晶層厚）は4～5 $\mu$ mに設定されているが、最近では、液晶表示素子の応答速度を高めるために、液晶層厚を例えば1.5 $\mu$ m程度に小さくすることが望まれている。

【0010】そして液晶層厚を小さくするときには、シール材3の厚さを小さくして基板1、2間のギャップを狭めることになる。一对の透明基板1、2をシール材3で接合するときには、一方の透明基板1のシール領域の上にスクリーン印刷等によりシール材3を枠状に塗布し、このシール材3の上に他方の透明基板2を重ね合わせ、かつ加圧し、この状態でシール材3を硬化させる方法が採られる。

【0011】図13には、図12中のI部を拡大した詳細図を示してあり、この部分におけるゲート配線4のシール材3を通り抜ける区間は、ゲートドライバ6の端子ピッチに対応する狭いピッチに配列するように絞られているとともに、シール材3の長手方向と直角の方向に延びてシール材3と直交する直交配線部4aを有する状態となっている。

【0012】また、図14には、図12中のII部を拡大した詳細図を示してあり、この部分におけるドレイン配線5のシール材3を通り抜ける区間は、ドレインドライバ7の端子ピッチに対応する狭いピッチに配列するように絞られているとともに、シール材3の長手方向と直角の方向に延びてシール材3と直交する直交配線部5aを有する状態となっている。

【0013】図15（A）には図13中のIII—III線に沿う部分の断面構造を、図15（B）には図14中のIV—IV線に沿う部分の断面構造をそれぞれ示してある。図15（A）に示すように、ゲート配線4は基板1の上に形成され、このゲート配線4がゲート絶縁膜10で覆われて、このゲート絶縁膜10がオーバーコート絶縁膜11で覆われている。また、図15（B）に示すように、ドレイン配線5は前記ゲート絶縁膜10の上に形成され、このドレイン配線5が前記オーバーコート絶縁膜1

1で覆われている。

【0014】そしてドレイン配線5の膜厚 $t_2$ はゲート配線4の膜厚 $t_1$ よりも2倍程度厚くなっている。すなわち、ドレイン配線5の膜厚 $t_2$ はゲート配線4の膜厚 $t_1$ より厚く、その分、ドレイン配線5の上のシールギャップ幅 $S_2$ がゲート配線4の上のシールギャップ幅 $S_1$ より小さくなっている。

【0015】

【発明が解決しようとする課題】ところで、従来の液晶表示素子においては、一方の基板1のシール領域にシール材3を塗布し、そのシール材3の上に他方の基板2を重ね合わせ、かつ加圧して両基板1、2を接合する際に、図12に示すI部およびII部の部分においては、ゲート配線4およびドレイン配線5がシール材3と直交する直交配線部4a、5aを有しているため、その直交配線部4a、5aの配線間隙間を通してシール材3の一部が毛細管現象により基板1、2のシール領域からその側方に漏れ出るといった現象が生じている。

【0016】シール材3の厚さが大きくその総量が充分である場合には、シール材3の一部が漏れ出しても特に問題はないが、応答速度を高めるためにシール材3の厚さを抑えて液晶層厚を小さくするときには、シール材3の総量が少ないためその漏れ出しによりシール材3の途中の一部が途切れるシール切れが生じ、シール材3の内側の領域に封入される液晶の漏れの原因を招き、製造上の歩留りが低下してしまう。

【0017】特に、図12に示すII部の部分においては、ドレイン配線5の上のシールギャップ幅 $S_2$ が小さく、かつそのドレイン配線5の配列離間幅が狭く、このため直交配線部5aにおいて毛細管現象がより顕著に生じてシール材3の漏れ出しがより増大してより歩留りが低下してしまう。

【0018】この発明はこのような点に着目してなされたもので、その目的とするところは、一对の基板をシール材で接合するときのそのシール材の漏れ出しによるシール切れを的確に防止し、これにより液晶層厚を小さくして応答速度を高めることが可能な液晶表示素子を歩留りよく製造することができるようにすることにある。

【0019】

【課題を解決するための手段】請求項1に記載の発明による液晶表示素子は、表示エリアを囲む枠状のシール材を介して接合され、前記シール材により囲まれた領域に設けられた液晶層を挟んで互いに対向する一对の基板を備え、その一方の基板の内面に、前記表示エリア内にマトリックス状に配列形成された複数の画素電極と、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、前記各ゲート配線および前記各ドレイン配線の

それぞれの端部が前記シール材を通り抜けてシール材の内側から外部に導出されている液晶表示素子において、前記ゲート配線および前記ドレイン配線のうちの少なくとも膜厚の厚い一方の配線の端部は、表示エリアの画素ピッチとほぼ同じピッチで配列してシール材を通り抜け、その通り抜け後の端末部が画素ピッチより狭いピッチで配列するように絞られていることを特徴としている。

【0020】この液晶表示素子によれば、シール材を通り抜ける部分の配線間隔幅が大きく、このため両基板をシール材で接合する際の配線間隙間での毛細管現象が抑えられ、シール材の一部が毛細管現象で基板のシール領域からその側方に漏れ出るといった不都合が防止され、したがって液晶層厚を小さくして応答速度を高めるべくシール材の厚さを小さく設定しても、シール切れの発生を防止して応答速度の速い液晶表示素子を歩留まりよく製造することができる。

【0021】請求項2に記載の発明による液晶表示素子は、表示エリアを囲む枠状のシール材を介して接合され、前記シール材により囲まれた領域に設けられた液晶層を挟んで互いに対向する一対の基板を備え、その一方の基板の内面に、前記表示エリア内にマトリックス状に配列形成された複数の画素電極と、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、前記各ゲート配線および前記各ドレイン配線のそれぞれの端部が前記シール材を通り抜けてシール材の内側から外部に導出されている液晶表示素子において、前記ゲート配線および前記ドレイン配線のうちの少なくとも一方の配線の端部は、表示エリアの画素ピッチより狭いピッチで配列するとともに、そのすべてがシール材の長手方向に対して傾斜する状態でシール材を通り抜けてシール材の外側に導出されていることを特徴としている。この液晶表示素子によれば、シール材を通り抜ける部分の配線がシール材に対して斜めに傾斜してその通り抜ける区間の長さが長くなっており、このため両基板をシール材で接合する際の配線間隙間での毛細管現象が抑えられ、シール材の一部が毛細管現象で基板のシール領域からその側方に漏れ出るといった不都合が防止され、したがって液晶層厚を小さくして応答速度を高めるべくシール材の厚さを小さく設定しても、シール切れの発生を防止して応答速度の速い液晶表示素子を歩留まりよく製造することができる。

【0022】請求項3に記載の発明による液晶表示素子は、表示エリアを囲む枠状のシール材を介して接合され、前記シール材により囲まれた領域に設けられた液晶層を挟んで互いに対向する一対の基板を備え、その一方の基板の内面に、前記表示エリア内にマトリックス状に

配列形成された複数の画素電極と、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、前記各ゲート配線および前記各ドレイン配線のそれぞれの端部が前記シール材を通り抜けてシール材の内側から外部に導出されている液晶表示素子において、前記ゲート配線および前記ドレイン配線のうちの少なくとも一方の配線の端部が通り抜ける部分のシール材の両側にシール材の厚さ方向に盛り上がる堰止め部がそのシール材の長手方向に沿って設けられていることを特徴としている。

【0023】この液晶表示素子によれば、配線が通り抜ける部分のシール材の両側に上方に盛り上がる堰止め部が形成されているから、両基板をシール材で接合する際に、配線間隙間を通して毛細管現象によりシール材が漏れ出ようとしても、それが堰止め部により阻まれ、したがってシール材の漏れ出しが抑えられ、このため液晶層厚を小さくして応答速度を高めるべくシール材の厚さを小さく設定しても、シール切れの発生を防止して応答速度の速い液晶表示素子を歩留まりよく製造することができる。

【0024】

【発明の実施の形態】以下、この発明の実施の形態について図1～図11を参照して説明する。

【0025】図1はこの発明の第1の実施例による液晶表示素子の平面構造図、図2はその液晶表示素子の一方の基板1の一部分の配向膜とオーバーコート絶縁膜とを省略した拡大平面図、図3および図4は図2中のV-V線およびVI-VI線に沿う拡大断面図、図5は図1中のVII部を拡大した詳細図、図6は図1中のVIII部を拡大した詳細図である。

【0026】この液晶表示素子は一対の透明基板1、2を備え、これら透明基板1、2は表示エリアAを囲む枠状のシール材3を介して互いに接合されている。そして一方の基板1の内面には、表示エリアA内に図2に示すようにマトリックス状に配列形成された複数の画素電極13と、前記複数の画素電極13にそれぞれ接続された複数のTFT14と、前記複数のTFT14にゲート信号を供給する複数のゲート配線4と、前記複数のTFT14にデータ信号を供給する複数のドレイン配線5とが設けられ、他方の基板2の内面には、図3および図4に示すように前記複数の画素電極13と対向する対向電極18が設けられている。

【0027】基板1の内面に設けられた複数のTFT14は、図2および図3に示すように、基板1の基板面に形成されたゲート電極15と、このゲート電極15を覆って基板全体に形成されたゲート絶縁膜10と、前記ゲート絶縁膜10の上に前記ゲート電極15と対向させて形成されたi型半導体膜17と、このi型半導体膜17

のチャンネル領域となる中央部の上に設けられたブロック絶縁膜 19 と、前記 i 型半導体膜 17 の両側部の上に n 型半導体膜 20 を介して形成されたソース電極 21 およびドレイン電極 22 とからなっている。

【0028】なお、図 2 では前記ソース電極 21 とドレイン電極 22 を単層膜として示してあるが、このソース電極 21 とドレイン電極 22 は、前記 n 型半導体膜 20 とのコンタクト層であるクロム膜と、その上に形成されたアルミニウム系合金膜とからなっている。

【0029】また、前記複数のゲート配線 4 は、基板 1 の基板面に、各画素電極行の一侧にそれぞれ沿うように形成されている。そして、これらゲート配線 4 は、基板面との段差を小さくするために、低抵抗のアルミニウム系合金膜により極く薄い膜厚に形成されており、前記 TFT 14 のゲート電極 15 は、前記ゲート配線 4 に一体に形成されている。

【0030】なお、この実施例では、図 2 に示すように、前記ゲート配線 4 の各画素電極 13 に対応する部分を前記 TFT 14 のゲート電極 15 とするとともに、前記 i 型半導体膜 17 と n 型半導体膜 20 およびソース、ドレイン電極 21、22 を前記ゲート配線 4 の長さ方向に沿って横長に形成することにより、チャンネル幅の大きい TFT 14 を形成している。

【0031】一方、前記複数のドレイン配線 5 はそれぞれ前記基板 1 の内面全体に形成された前記ゲート絶縁膜 10 の上に、各画素電極列の一侧にそれぞれ沿うように形成されている。

【0032】前記ドレイン配線 5 は、前記 TFT 14 のソース、ドレイン電極 21、22 と同じ金属膜（クロム膜とその上に形成されたアルミニウム系合金膜との積層膜）により形成されており、前記 TFT 14 のドレイン電極 22 は、前記ドレイン配線 5 に一体に形成されている。

【0033】前記 TFT 14 のソース、ドレイン電極 21、22 と前記ドレイン配線 5 は、その抵抗によるデータ信号の電位降下をできるだけ小さくするために、前記ゲート配線 4 の膜厚よりも十分に厚い膜厚に形成されている。

【0034】そして、前記複数の画素電極 13 は、前記ゲート絶縁膜 10 の上に ITO 膜等の透明導電膜により形成されており、この画素電極 13 の縁部に前記 TFT 14 のソース電極 21 が接続されている。

【0035】さらに、前記基板 1 の内面には、前記複数の画素電極 13 にそれぞれ対応する部分に開口が形成されたオーバーコート絶縁膜 25 が基板全体にわたって設けられており、前記複数の TFT 14 と複数のドレイン配線 5 は、前記オーバーコート絶縁膜 25 により覆われている。

【0036】なお、前記複数のドレイン配線 5 の基板 1 のドライバ搭載部 1b に導出された端部は、前記オーバ

ーコート絶縁膜 25 に開口を設けることにより露出されており、前記複数のゲート配線 4 の基板 1 のドライバ搭載部 1a に導出された端部は、前記オーバーコート絶縁膜 25 と前記ゲート絶縁膜 10 とに開口を設けることにより露出されている。

【0037】そして、前記基板 1 の内面の前記シール材 3 により囲まれた領域には、前記表示エリア A の全域にわたって、ポリイミド等からなる配向膜 26 が設けられている。

【0038】一方、基板 2 の内面には、図 3 および図 4 に示すように、前記複数の画素電極 13 の間の領域に対応する遮光膜 27 が設けられており、この遮光膜 27 の上に、前記複数の画素電極 13 と対向する対向電極 18 が設けられている。

【0039】前記遮光膜 27 は、前記複数の画素電極 13 と対応する領域にそれぞれ開口が設けられた格子状膜であり、図では単層膜として示してあるが、この遮光膜 27 は、基板 2 の基板面に形成された酸化クロム膜と、その上に形成されたクロム膜とからなっている。

【0040】前記対向電極 18 は、ITO 膜等の透明導電膜からなる一枚膜状の電極であり、この対向電極 18 と前記遮光膜 27 は、その周縁部が前記シール材 3 に対応する外形に形成されている。

【0041】そして、前記基板 2 の内面の前記シール材 3 により囲まれた領域には、前記表示エリア A の全域にわたって、ポリイミド等からなる配向膜 30 が設けられている。

【0042】この液晶表示素子は、例えば一方の基板 1 の内面に、スクリーン印刷法によりシール材 3 を塗布し、一对の基板 1、2 を重ね合わせ、かつ加圧し、この状態で前記シール材 3 を硬化させることにより前記一对の基板 1、2 を前記シール材 3 を介して接合し、その後、前記一对の基板 1、2 間の前記シール材 3 により囲まれた領域に図 1 に示す液晶注入口 31 から真空注入法により液晶を注入して液晶層 32 を形成し、前記液晶注入口 31 を封止樹脂 33 により封止することにより製造される。

【0043】前記各ゲート配線 4 の一端側の端部は、図 1 および図 5 に示すように、シール材 3 の内側の領域では画素ピッチ（TFT 14 の配列ピッチ）と同じ大きな配列ピッチを保って平行に配列するとともに、その配列ピッチのままシール材 3 を通り抜け、そのシール材 3 の外側に通り抜けた導出部分において、配列ピッチがゲートドライバ 6 の端子ピッチの幅まで狭まるようにシール材 3 の長手方向に対して傾斜するように屈曲して絞られ、かつその先端側が端子部 4b としてシール材 3 と直交する方向に平行に延び、これら端子部 4b がドライバ搭載部 1a の上のゲートドライバ 6 の端子に接続されている。

【0044】また、前記各ドレイン配線 5 の一端側の端

部は、図 1 および図 6 に示すように、シール材 3 の内側の領域では画素ピッチ (TFT14 の配列ピッチ) と同じ大きな配列ピッチを保って平行に配列するとともに、その配列ピッチのままシール材 3 を通り抜け、シール材 3 からその外側に通り抜けた導出部分において、配列ピッチがドレインドライバ 7 の端子ピッチの幅まで狭まるようにシール材 3 の長手方向に対して傾斜するように屈曲して絞られ、かつその先端側が端子部 5b としてシール材 3 と直交する方向に平行に延び、これら端子部 5b がドライバ搭載部 1b の上のドレインドライバ 7 の端子に接続されている。

【0045】このような液晶表示素子においては、ゲート配線 4 およびドレイン配線 5 が画素ピッチと同じ大きな配列ピッチを保ってシール材 3 を通り抜けており、つまりシール材 3 を通り抜ける部分の配線離間幅が大きく、このため一方の基板 1 のシール領域にシール材 3 を塗布し、そのシール材 3 の上に他方の基板 2 を重ね合わせ、かつ加圧して両基板 1, 2 を接合する際に、そのゲート配線 4 およびドレイン配線 5 の配線間隙間での毛細管現象が抑えられ、シール材 3 の一部が毛細管現象で基板 1, 2 のシール領域からその側方に漏れ出るような不都合が防止され、したがってシール切れが生じるようなことがない。

【0046】特に、膜厚の厚いドレイン配線 5 の上ではその厚さの分でシールギャップ幅が小さく、このためシール切れがより生じやすくなるが、ドレイン配線 5 が大きな離間幅でシール材 3 を通り抜けているから毛細管現象によるシール材 3 の漏れ出しを抑え、シール切れを的確に防止することができる。

【0047】このように、シール材 3 の毛細管現象による漏れ出しを抑えることができ、したがって液晶層厚を小さくして応答速度を高めるべくシール材 3 の厚さを小さく設定しても、シール切れの発生を防止して応答速度の速い液晶表示素子を歩留まりよく製造することができる。

【0048】なお、この第 1 の実施例においては、ゲート配線 4 およびドレイン配線 5 のいずれの配線においても、シール材 3 を通り抜ける部分の配列ピッチが画素ピッチと同じ大きさとなるようにしたが、膜厚が厚く、シール切れが特に生じやすい一方のドレイン配線 5 のみを対象にして、シール材 3 を通り抜ける部分の配列ピッチを画素ピッチと同じ大きさにするような場合であってもよい。

【0049】図 7 にはこの発明の第 2 の実施例による液晶表示素子の平面構造図を示してあり、この実施例においては、表示エリア A から導出した複数のゲート配線 4 からなるゲート配線群は、それぞれのゲート配線 4 の間隔が画素ピッチより狭いピッチに絞られつつ図における上下方向に二股に分岐するように斜めに延出するとともに、その途中が V 字状に屈曲され、そのすべてのゲート

配線 4 がシール材 3 の長手方向に対して傾斜するようにシール材 3 を通り抜け、その通り抜け後の端末がゲートドライバ 6 の端子に接続されている。

【0050】また、表示エリア A から導出したドレイン配線 5 からなるドレイン配線群は、それぞれのドレイン配線 5 の間隔が画素ピッチより狭いピッチに絞られつつ図における左右方向に二股に分岐するように斜めに延出するとともに、その途中が V 字状に屈曲され、そのすべてのドレイン配線 5 がシール材 3 の長手方向に対して傾斜するようにシール材 3 を通り抜け、その通り抜け後の端末がドレインドライバ 7 の端子に接続されている。

【0051】このような構成においては、ゲート配線 4 およびドレイン配線 5 はそれぞれ画素ピッチより狭いピッチで配列しているが、そのゲート配線 4 およびドレイン配線 5 のすべてがシール材 3 の長手方向に対して斜めに傾斜して通り抜けており、このため一方の基板 1 のシール領域にシール材 3 を塗布し、そのシール材 3 の上に他方の基板 2 を重ね合わせ、かつ加圧して両基板 1, 2 を接合する際におけるそのシール材 3 の毛細管現象によるシール領域からの流出が抑えられる。

【0052】すなわち、ゲート配線 4 およびドレイン配線 5 がシール材 3 を斜めに通り抜けることによりその通り抜ける区間の長さが長くなり、これによりシール材 3 がシール領域の範囲内にとどまり、シール材 3 のシール領域からの漏れ出しが抑えられ、シール切れが防止される。

【0053】特に、膜厚の厚いドレイン配線 5 の上ではその厚さの分でシールギャップ幅が小さく、このためシール切れがより生じやすくなるが、ドレイン配線 5 のすべてがシール材 3 を斜めに通り抜けてその区間の長さが長くなっているから、毛細管現象によるシール材 3 の漏れ出しを抑え、シール切れを的確に防止することができる。

【0054】このように、シール材 3 の毛細管現象による漏れ出しを抑えることができ、したがって液晶層厚を小さくして応答速度を高めるべくシール材 3 の厚さを小さく設定しても、シール切れの発生を防止して応答速度の速い液晶表示素子を歩留まりよく製造することができる。

【0055】なお、この第 2 の実施例においては、ゲート配線 4 のすべておよびドレイン配線 5 のすべてがシール材 3 を斜めに通り抜けるようにしたが、膜厚が厚く、シール切れが特に生じやすい一方のドレイン配線 5 のみを対象にして、そのドレイン配線 5 のすべてのみがシール材 3 を斜めに通り抜けるように構成する場合であってもよい。

【0056】図 8 にはこの発明の第 3 の実施例による液晶表示素子の平面構造図を示してあり、この実施例においては、ゲートドライバ 6 が基板 1 のドライバ搭載部 1a の一端寄りの位置に偏位して設けられ、ドレインドラ

イバ7が基板1のドライバ搭載部1bの一端寄りの位置に偏位して設けられている。

【0057】そして各ゲート配線4の一端側の端部が前記ゲートドライバ6に向かって斜めに延び出てシール材3を通り抜け、その各端部がゲートドライバ6の端子に接続されている。また、各ドレイン配線5の一端側の端部が前記ドレインドライバ7に向かって斜めに延び出てシール材3を通り抜け、その各端部がドレインドライバ7の端子に接続されている。

【0058】このような配線形態により、ゲート配線4のすべておよびドレイン配線5のすべてが前記第2の実施例の場合と同様に、シール材3の長手方向に対して傾斜して横切り、したがってゲート配線4およびドレイン配線5のシール材3を通り抜ける区間の長さが長くなり、シール材3がシール領域の範囲内にとどまり、シール材3の毛細管現象による漏れ出しが抑えられ、シール切れが防止される。

【0059】特に、膜厚の厚いドレイン配線5の上ではその厚さの分でシールギャップ幅が小さく、このためシール切れがより生じやすくなるが、ドレイン配線5のすべてがシール材3を斜めに通り抜けてその区間の長さが長くなっているから、毛細管現象によるシール材3の漏れ出しを抑え、シール切れを防止することができる。

【0060】このように、シール材3の毛細管現象による漏れ出しを抑えることができ、したがって液晶層厚を小さくして応答速度を高めるべくシール材3の厚さを小さく設定しても、シール切れの発生を防止して応答速度の速い液晶表示素子を歩留りよく製造することができる。

【0061】なお、この第3の実施例においては、ゲート配線4のすべておよびドレイン配線5のすべてがシール材3を斜めに通り抜けるようにしたが、膜厚が厚く、シール切れが特に生じやすい一方のドレイン配線5のみを対象にして、そのドレイン配線5のすべてのみがシール材3を斜めに通り抜けるように構成する場合であってもよい。

【0062】図9にはこの発明の第4の実施例による液晶表示素子の平面構造図を示してあり、図10には図9中のIX部を拡大した詳細図を、図11には図9中のX部を拡大した詳細図を示してある。この実施例における液晶表示素子の各ゲート配線4および各ドレイン配線5の配線形態は図12に示す従来の配線形態と同じとなっている。そして従来と異なる点は、各ゲート配線4の端部が通り抜ける部分のシール材3の両側および各ドレイン配線5の端部が通り抜ける部分のシール材3の両側にそれぞれ基板1の上に盛り上がるライン状の堰止め部8、9が設けられている点である。

【0063】一方の堰止め部8は、基板1の図3および図4に示すゲート絶縁膜10の上にドレイン配線5と同じ材料からなるダミー配線8aをシール材3の両側に沿

って形成することにより構成されている。そして各ゲート配線4の端部は前記各ダミー配線8aの下を前記ゲート絶縁膜10を間に挟んでくぐり抜けるように表示エリアAからドライバ搭載部1aに導出され、その端部がゲートドライバ6の端子に接続されている。

【0064】また、他方の堰止め部9は、基板1の基板面にゲート配線4と同じ材料からなるダミー配線9aをシール材3の両側に沿って形成することにより構成されている。そして各ドレイン配線5は前記各ダミー配線9aの上をゲート絶縁膜10を間に挟んで乗り越えるように表示エリアAからドライバ搭載部1bに導出され、その端部がドレインドライバ7の端子に接続されている。

【0065】前記ダミー配線8aはゲート配線4を形成する工程と同じ工程で形成され、前記ダミー配線9aはドレイン配線5を形成する工程と同じ工程で形成される。

【0066】このような液晶表示素子においては、各ゲート配線4および各ドレイン配線5が通り抜ける部分のシール材3の両側に上方に盛り上がる堰止め部8、9が形成されているから、基板1のシール領域にシール材3を塗布して両基板1、2を接合する際に、各ゲート配線4および各ドレイン配線5が通り抜ける部分で毛細管現象によりシール材3が漏れ出ようとしても、それが堰止め部8、9により阻まれ、したがってシール材3の漏れ出しが抑えられ、シール切れが防止される。

【0067】特に、膜厚の厚いドレイン配線5の上ではその厚さの分でシールギャップ幅が小さく、このためシール切れがより生じやすくなるが、ドレイン配線5が通り抜けるシール材3の両側の部分の堰止め部9によりシール材3の漏れ出しを抑えてシール切れを防止することができる。

【0068】このように、シール材3の漏れ出しを抑えることができ、したがって液晶層厚を小さくして応答速度を高めるべくシール材3の厚さを小さく設定しても、シール切れの発生を防止して応答速度の速い液晶表示素子を歩留りよく製造することができる。

【0069】なお、この第4の実施例においては、ゲート配線4およびドレイン配線5が通り抜ける部分のシール材3の両側にそれぞれ堰止め部8、9を設けるようにしたが、膜厚が厚く、シール切れが特に生じやすい一方のドレイン配線5を対象にし、そのドレイン配線5が通り抜ける部分のシール材3の両側のみ堰止め部を設ける場合であってもよい。

【0070】

【発明の効果】請求項1に記載の発明による液晶表示素子は、表示エリアを囲む枠状のシール材を介して接合され、前記シール材により囲まれた領域に設けられた液晶層を挟んで互いに対向する一対の基板を備え、その一方の基板の内面に、前記表示エリア内にマトリックス状に配列形成された複数の画素電極と、前記複数の画素電極

にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、前記各ゲート配線および前記各ドレイン配線のそれぞれの端部が前記シール材を通り抜けてシール材の内側から外部に導出されている液晶表示素子において、前記ゲート配線および前記ドレイン配線のうちの少なくとも膜厚の厚い一方の配線の端部は、表示エリアの画素ピッチとほぼ同じピッチで配列してシール材を通り抜け、その通り抜け後の端末部が画素ピッチより狭いピッチで配列するように絞られていることを特徴とし、したがってシール材を通り抜ける部分の配線間幅が大きく、このため両基板をシール材で接合する際の配線間隙間での毛細管現象が抑えられ、シール材の一部が毛細管現象で基板のシール領域からその側方に漏れ出るといった不都合が防止され、液晶層厚を小さくして応答速度を高めるべくシール材の厚さを小さく設定しても、シール切れの発生をなくして応答速度の速い液晶表示素子を歩留まりよく製造することができる。

【0071】請求項2に記載の発明による液晶表示素子は、表示エリアを囲む枠状のシール材を介して接合され、前記シール材により囲まれた領域に設けられた液晶層を挟んで互いに対向する一対の基板を備え、その一方の基板の内面に、前記表示エリア内にマトリックス状に配列形成された複数の画素電極と、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、前記各ゲート配線および前記各ドレイン配線のそれぞれの端部が前記シール材を通り抜けてシール材の内側から外部に導出されている液晶表示素子において、前記ゲート配線および前記ドレイン配線のうちの少なくとも一方の配線の端部は、表示エリアの画素ピッチより狭いピッチで配列するとともに、そのすべてがシール材の長手方向に対して傾斜する状態でシール材を通り抜けてシール材の外側に導出されていることを特徴とし、したがってシール材を通り抜ける部分の配線がシール材に対して斜めに傾斜してその通り抜ける区間の長さが長くなっており、このため両基板をシール材で接合する際の配線間隙間での毛細管現象が抑えられ、シール材の一部が毛細管現象で基板のシール領域からその側方に漏れ出るといった不都合が防止され、液晶層厚を小さくして応答速度を高めるべくシール材の厚さを小さく設定しても、シール切れの発生をなくして応答速度の速い液晶表示素子を歩留まりよく製造することができる。

【0072】請求項3に記載の発明による液晶表示素子は、表示エリアを囲む枠状のシール材を介して接合され、前記シール材により囲まれた領域に設けられた液晶

層を挟んで互いに対向する一対の基板を備え、その一方の基板の内面に、前記表示エリア内にマトリックス状に配列形成された複数の画素電極と、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、前記各ゲート配線および前記各ドレイン配線のそれぞれの端部が前記シール材を通り抜けてシール材の内側から外部に導出されている液晶表示素子において、前記ゲート配線および前記ドレイン配線のうちの少なくとも一方の配線の端部が通り抜ける部分のシール材の両側にシール材の厚さ方向に盛り上がる堰止め部がそのシール材の長手方向に沿って設けられていることを特徴とし、したがって両基板をシール材で接合する際に、配線間隙間を通して毛細管現象によりシール材が漏れ出ようとしても、それが堰止め部により阻まれ、シール材のシール領域からの漏れ出しが抑えられ、液晶層厚を小さくして応答速度を高めるべくシール材の厚さを小さく設定しても、シール切れの発生をなくして応答速度の速い液晶表示素子を歩留まりよく製造することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例による液晶表示素子を示す平面構造図。

【図2】その液晶表示素子の一方の基板の一部分の配向膜とオーバーコート絶縁膜とを省略した拡大平面図。

【図3】図2中のV—V線に沿う拡大断面図。

【図4】図2中のVI—VI線に沿う拡大断面図。

【図5】図1中のVII部の拡大詳細図。

【図6】図1中のVIII部の拡大詳細図。

【図7】この発明の第2の実施例による液晶表示素子を示す平面構造図。

【図8】この発明の第3の実施例による液晶表示素子を示す平面構造図。

【図9】この発明の第4の実施例による液晶表示素子を示す平面構造図。

【図10】図9中のIX部の拡大詳細図。

【図11】図9中のX部の拡大詳細図。

【図12】従来の液晶表示素子の平面構造図。

【図13】図12中のI部の拡大詳細図。

【図14】図12中のII部の拡大詳細図。

【図15】図15(A)は図13中のIII—III線に沿う拡大断面図、図15(B)は図14中のIV—IV線に沿う拡大断面図。

【符号の説明】

A…表示エリア

1, 2…基板

3…シール材

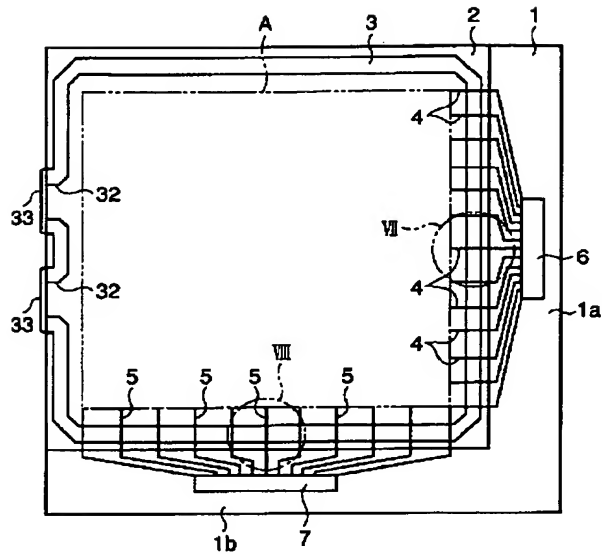
4…ゲート配線

5…ドレイン配線

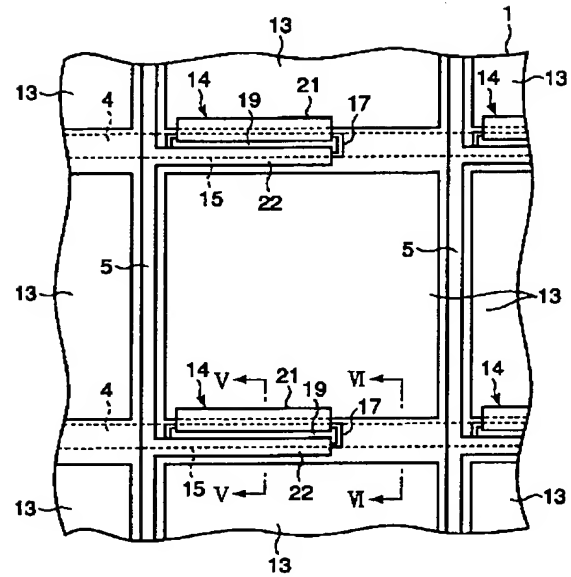
6…ゲートドライバ  
7…ドレインドライバ  
8, 9…堰止め部

8a, 9a…ダミー配線  
13…画素電極  
14…TFT

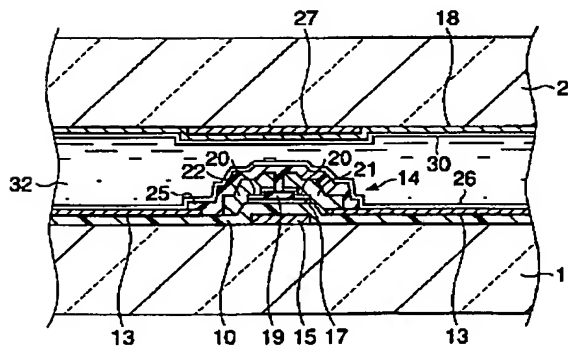
【図 1】



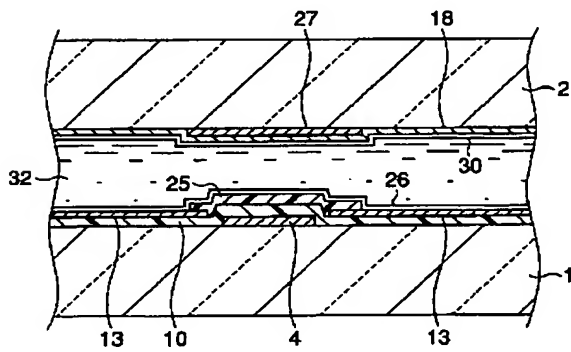
【図 2】



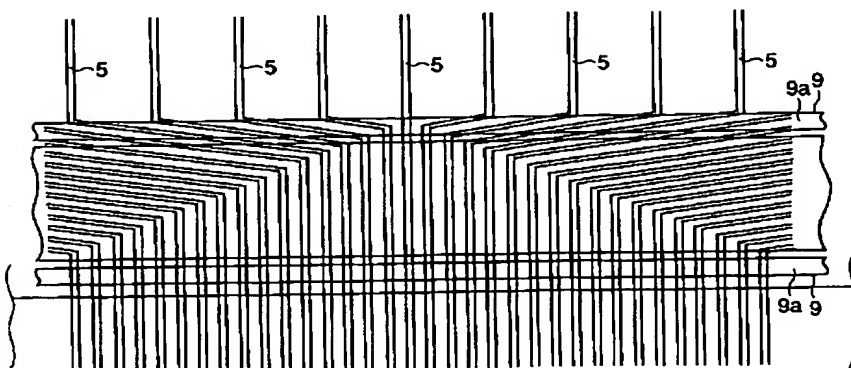
【図 3】



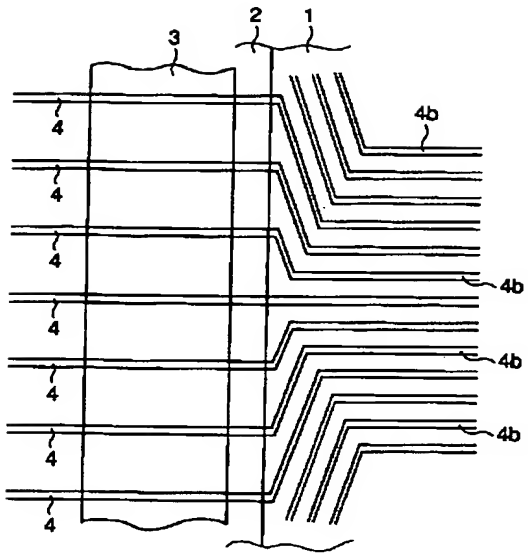
【図 4】



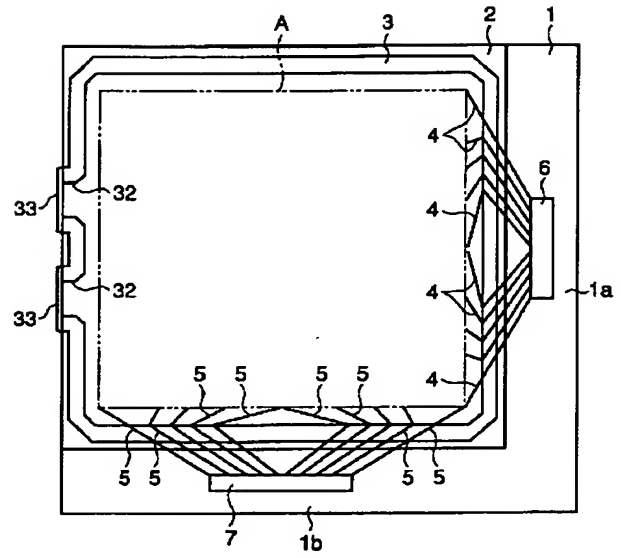
【図 11】



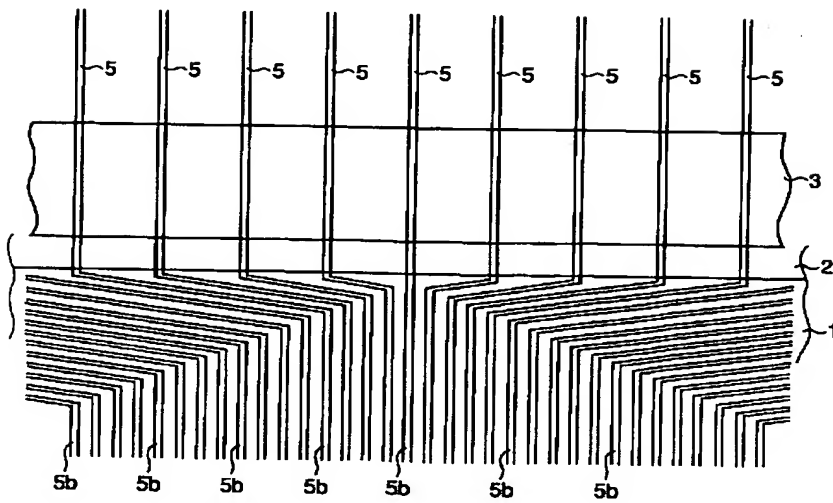
【図5】



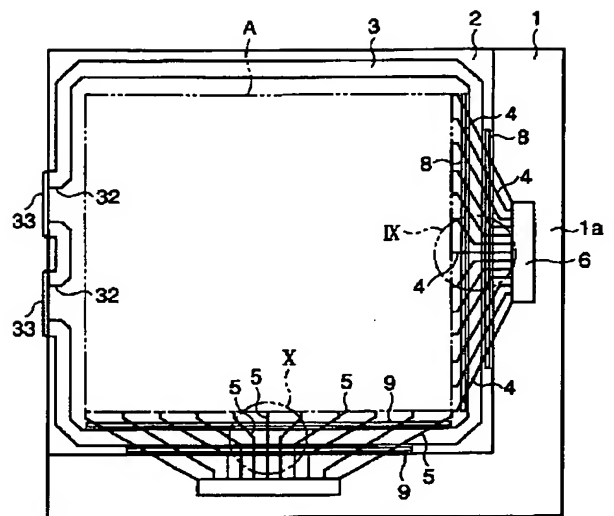
【図7】



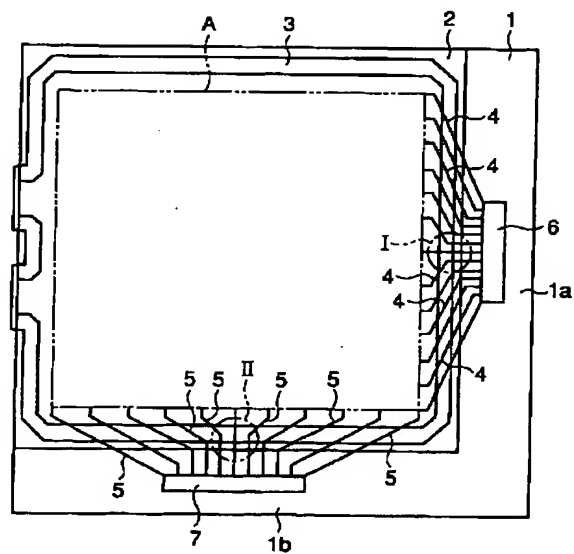
【図6】



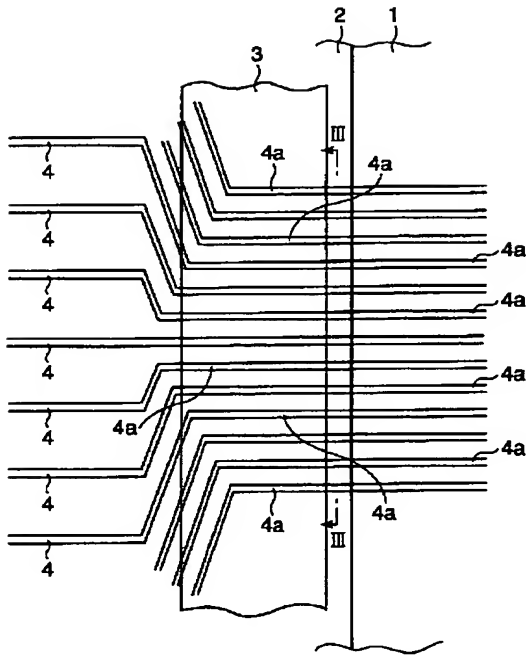
【图9】



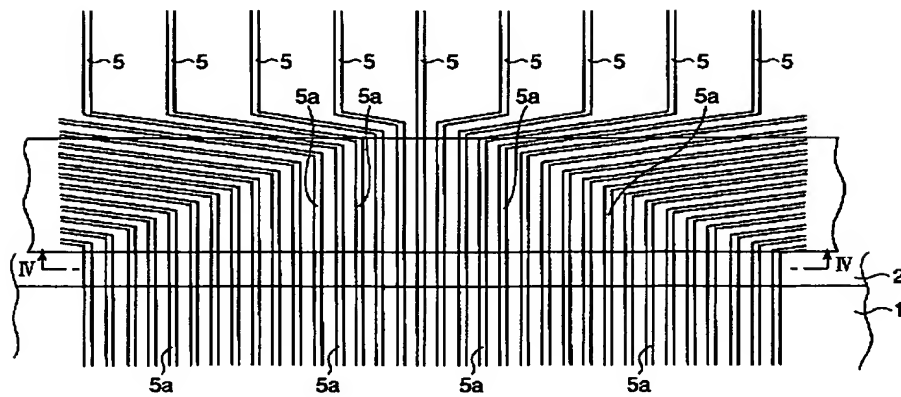
【图 1 2】



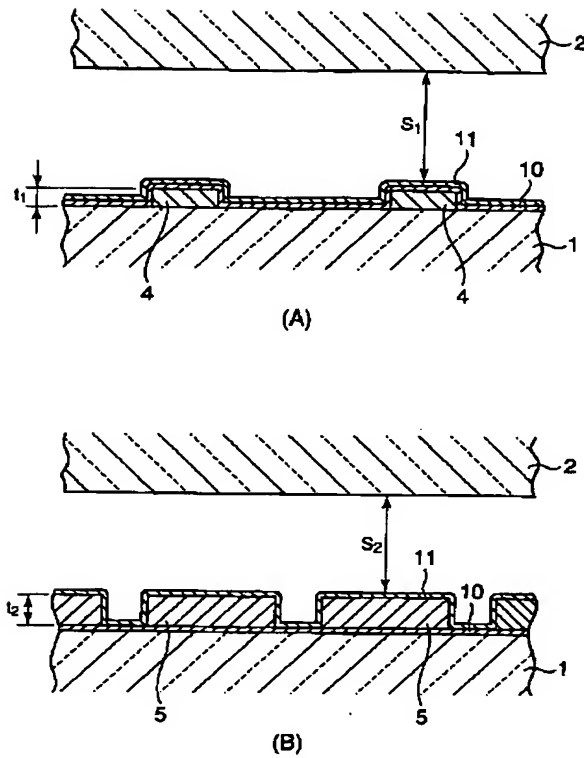
【図 13】



【図 14】



【図 15】



フロントページの続き

F ターム(参考) 2H089 LA33 LA48 NA24 NA25 NA27  
 NA33 NA38 NA39 NA45 NA53  
 NA60 QA11 QA12  
 2H092 GA33 GA34 GA37 GA41 GA43  
 GA48 GA49 GA57 JA26 JA29  
 JA35 JA38 JA42 JB13 JB38  
 JB63 JB69 NA15 NA16 NA25  
 NA27 NA30  
 4M104 AA09 BB02 BB13 CC01 CC05  
 FF13 GG20  
 5F110 AA01 AA30 BB01 CC07 EE06  
 EE37 GG35 HK04 HK06 HK07  
 HK08 HK22 HM19 NN02 NN12